

JP 6-53327
303.451us6

DIALOG(R)File 351:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv. 009825040 **Image available**

WPI Acc No: 1994-104896/199413 XRPX Acc No: N94-261802

Semiconductor device conducting line width reducing method - by arranging conducting line masks and contact masks for subsequent contacts so that each conducting line contacts the other next to it

Patent Assignee: HYUNDAI ELECTRONICS IND CO LTD (HYUN-N); HYUNDAI ELECTRONIC IND CO LTD (HYUN-N)

Inventor: KIM J K; KIM J

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6053327	A	19940225	JP 93145061	A	19930616	199413 B
US 5358903	A	19941025	US 9377136	A	19930615	199442
KR 9511555	B1	19951006	KR 9210445	A	19920616	199849

Priority Applications (No Type Date): KR 9210445 A 19920616

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 6053327	A	6	H01L-021/90	
US 5358903	A	10	H01L-021/283	
KR 9511555	B1		H01L-021/28	

Abstract (Basic): JP 6053327 A

Dwg. 6e/7

US 5358903 A

The first conducting line is formed on a semiconductor substrate which has a field oxide and an exposed region formed by an opening in the field oxide, where the first conducting line is formed, and a first insulating layer is formed over the first conducting line and semiconductor substrate. A second conducting layer is deposited over the first insulating layer to form a second conducting line through a patterning process using a mask for the second conducting layer, parallel to the first conducting line and having a width no greater than the width of the underlying first conducting line. An insulating layer is formed over the semiconductor substrate and a photoresist pattern is formed for a contact mask on the second insulating layer.

A contact area is etched in the second insulating layer by using the photoresist pattern as a mask to expose the second conducting line in the portion of its length no wider than first conducting line. The second conducting line and first insulating layer that had been exposed at contact area are sequentially etched to create a contact hole that exposes a portion of the first conducting line. The photoresist pattern is removed and a third conducting layer is formed for contact plug into

the contact hole in order to make the first conducting line contact with the second conducting line. The third conducting layer is formed on the contact hole and second insulating layer the third conducting layer is etched until the second insulating layer is exposed.

USE/ADVANTAGE - Minimises line width of second conducting line when second conducting pair is contacted to lower pair of first conducting line and simultaneously, prevents damages from occurring on first conducting line.

Dwg.2B,4E/5

Title Terms: SEMICONDUCTOR; DEVICE; CONDUCTING; LINE; WIDTH; REDUCE; METHOD ; ARRANGE; CONDUCTING; LINE; MASK; CONTACT; MASK; SUBSEQUENT; CONTACT; SO ; CONDUCTING; LINE; CONTACT

Derwent Class: U11

International Patent Class (Main): H01L-021/28; H01L-021/283; H01L-021/90

International Patent Class (Additional): H01L-021/28

File Segment: EPI

Manual Codes (EPI/S-X): U11-C05D4; U11-C05D3; U11-C05G2C

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-53327

(43) 公開日 平成6年(1994)2月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	A	7514-4M		
21/28	M	9055-4M		

審査請求 有 請求項の数11(全 6 頁)

(21) 出願番号 特願平5-145061

(22) 出願日 平成5年(1993)6月16日

(31) 優先権主張番号 92-10445

(32) 優先日 1992年6月16日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

HYUNDAI ELECTRONICS
INDUSTRIES COMPANY
LIMITED

大韓民国京畿道利川郡夫鉢邑牙美里山136
- 1

(72) 発明者 金 載甲

大韓民国京畿道利川郡利川邑葛山里606

現代アパートメント203-206

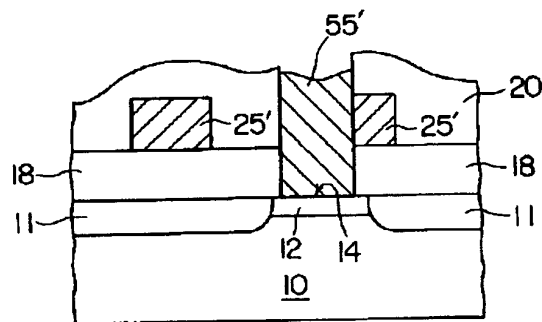
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 半導体素子のコンタクト及びその製造方法

(57) 【要約】

【目的】 コンタクト領域の第2電導線の線幅を最小化した後、第2電導線を第1導電層にコンタクトさせる半導体のコンタクト及びその製造方法を提供することである。

【構成】 本発明は半導体素子のコンタクト及びその製造方法において、半導体基板の所定の部分に形成された第1導電層と、第1導電層の上部に形成された第1絶縁膜と、第1絶縁膜の上部にパターン化され形成された第2電導線と、予定のコンタクト領域の第2絶縁膜、第2電導線と第1絶縁膜がエッチングされ第1導電層が露出されたコンタクトホールとこのコンタクトホールに形成された第3電導層コンタクトプラグにより、第2電導線と第1導電層が相互コンタクトできるようにする技術である。



(e)

【特許請求の範囲】

【請求項1】 半導体基板の所定部分に形成された第1導電層と、

前記第1導電層の上部に形成された第1絶縁膜と、

前記第1絶縁膜の上部にパターン化され形成された第2電導線と、

前記第2電導線の上部に形成された第2絶縁膜と、

予定されたコンタクト領域の前記第2絶縁膜、前記第2電導線および前記第1絶縁膜がエッチングされることにより第1導電層が露出されたコンタクトホールとを含む半導体素子のコンタクトにおいて、前記コンタクトホールに形成された第3電導層コンタクトプラグにより前記第2電導線と第1導電層とが相互コンタクトされる半導体素子のコンタクト。

【請求項2】 前記第2絶縁膜はBPSG (Boron Phospho-Silicate Glass) であることを特徴とする請求項1記載の半導体素子のコンタクト。

【請求項3】 前記第2絶縁膜はアンドロフトシリケートガラス (UndopedSilicate Glass) とBPSGの二層構造であることを特徴とする請求項1記載の半導体素子のコンタクト。

【請求項4】 前記第2電導線はポリシリコン層であることを特徴とする請求項1記載の半導体素子のコンタクト。

【請求項5】 前記第3電導層コンタクトプラグは、ポリシリコン層又はタングステン層であることを特徴とする請求項1記載の半導体素子のコンタクト。

【請求項6】 半導体基板に第1導電層を形成する工程と、

前記第1導電層の上部に第1絶縁膜を形成する工程と、

前記第1絶縁膜の上部に第2電導層を堆積し前記第2電導層マスクのパターンにより第2電導線を形成する工程と、

前記第2電導線および露出された前記第1絶縁膜の上部に第2絶縁膜を形成する工程と、

前記第2絶縁膜の上部にコンタクトマスク用感光膜パターンを形成する工程と、 前記コンタクトマスク用感光膜パターンによりコンタクト領域の前記第2絶縁膜をエッチングし前記第2電導線を露出する工程と、

前記コンタクト領域の露出された前記第2電導線と前記第1絶縁膜とを順次エッチングし前記第1導電層を露出することによりコンタクトホールを形成する工程と、前記コンタクトマスク用感光膜パターンを除去し前記コンタクトホールに第3電導層を埋め込むことにより第3電導層コンタクトプラグを形成し前記第2電導線を前記第1導電層にコンタクトする工程とを含む半導体素子のコンタクト製造方法。

【請求項7】 前記コンタクトする工程は、前記コンタクトホールと前記第2絶縁膜の上部に第3電導層を形成し前記第2絶縁膜が露出されるまで第3電導層をエッチ

ングし前記コンタクトホールにのみ埋め込むことにより前記第3電導層コンタクトプラグを形成する工程を含むことを特徴とする請求項6記載の半導体素子のコンタクト製造方法。

【請求項8】 前記第3電導層は、ポリシリコン層で形成することを特徴とする請求項7記載の半導体素子のコンタクト製造方法。

【請求項9】 前記第3電導層コンタクトプラグを形成する工程は、選択タングステンにより堆積し前記コンタクトホールを埋め込むことを特徴とする請求項6記載の半導体素子のコンタクト製造方法。

【請求項10】 前記第2電導層マスクより形成される前記第2電導線が、前記第2電導線の上部においてコンタクトマスクより形成される前記コンタクトホールと完全にオーバーラップ (Overlap) しなくてもできることを特徴とする請求項6記載の半導体素子のコンタクト製造方法。

【請求項11】 前記第1導電層は、半導体基板の所定部分に不純物を注入することにより形成することを特徴とする請求項6記載の半導体素子のコンタクト製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高集積度半導体素子のコンタクト及びその製造方法に関するもので、特に第1導電層に第2電導線をコンタクトする時、コンタクト領域で形成される第2電導線の線幅を最小化して半導体素子の集積度を高めるようにすることと同時に、第1導電層に損傷を与えないようにする、半導体素子のコンタクト及びその製造方法に関するものである。

【0002】

【従来の技術】 一般的に半導体素子を製造する時、第1導電層の上部に絶縁層を形成し、絶縁層の上部に形成される第2電導線を第1導電層にコンタクトさせるためには、コンタクト領域で第2電導線が十分オーバーラップ (Overlap) するように第2電導線のパターンを形成すべきである。第2電導線がコンタクト領域を十分オーバーラップできない場合、第2電導線のパターンを形成する工程でコンタクト底部の第1導電層に損傷を与えてしまい、半導体素子が不良になる。

【0003】 図1は従来の技術において第1導電層に第2電導線をコンタクトするために第1導電層マスク1、コンタクトマスク2、第2電導線マスク3を配置したレイアウト図として、コンタクト領域にアライメント (alignment) される第2電導線の線幅が大きく形成され、第2電導線がコンタクトを十分オーバーラップするものを示す。

【0004】 しかしながら、図1に示した通り、コンタクト領域にオーバーラップする第2電導線の線幅を第1導電層より大きく形成する場合、半導体素子の集積度が落

ちる問題がある。

【0005】

【発明が解決しようとする課題】従って、コンタクト設計の時、コンタクトマスク、第1導電層マスクおよび第2電導線マスクは一定の設計規則に従うべきである。即ち、第2電導線を第1導電層にコンタクトさせるためには、第2電導線がいつもコンタクトをオーバーラップすべきであるが、コンタクトマスクと第2電導線マスクの間は、マスク製作の時に発生する重ね合わせ (registration) および寸法精度のばらつき (CD variation)、あるいはウェーハ上にパターンを形成する時に発生するミスマライメントの許容量 (misalignment tolerance)、レンズ歪み (lens distortion)、寸法精度のばらつきが考慮されるべきであるから、コンタクト領域において第2電導線の線幅が大きくなってしまい、その結果、半導体素子の集積度が低下してしまう要因となる。

【0006】本発明の目的は、コンタクト領域の第2電導線の線幅を最小化した後、第2電導線を第1導電層にコンタクトさせる半導体のコンタクト及びその製造方法を提供することである。

【0007】

【課題を解決するための手段】前述の目的は、半導体基板の所定部分に形成された第1導電層と、第1導電層の上部に形成された第1絶縁膜と、第1絶縁膜の上部にパターン化され形成された第2電導線と、第2電導線の上部に形成された第2絶縁膜と、予定されたコンタクト領域の第2絶縁膜、第2電導線および第1絶縁膜がエッチングされることにより第1導電層が露出されたコンタクトホールとを含む半導体素子のコンタクトにおいて、コンタクトホールに形成された第3電導層コンタクトプラグにより第2電導線と第1導電層とが相互コンタクトされることによって達成される。あるいは、本発明の製造方法によれば、半導体基板に第1導電層を形成する工程と、第1導電層の上部に第1絶縁膜を形成する工程と、第1絶縁膜の上部に第2電導層を堆積し第2電導層マスクのパターンにより第2電導線を形成する工程と、第2電導線および露出された第1絶縁膜の上部に第2絶縁膜を形成する工程と、第2絶縁膜の上部にコンタクトマスク用感光膜パターンを形成する工程と、コンタクトマスク用感光膜パターンによりコンタクト領域の第2絶縁膜をエッチングし第2電導線を露出する工程と、コンタクト領域の露出された第2電導線と第1絶縁膜とを順次にエッチングし第1導電層を露出することによりコンタクトホールを形成する工程と、コンタクトマスク用感光膜パターンを除去しコンタクトホールに第3電導層を埋め込むことにより第3電導層コンタクトプラグを形成し第2電導線を第1導電層にコンタクトする工程とを含むことによって達成される。

【0008】

【作用】本発明の半導体素子のコンタクトによれば、半

導体基板の所定部分に第1導電層、第1絶縁膜、パターン化された第2電導線および第2絶縁膜が、順次に形成され、予定されたコンタクト領域においてコンタクトホールが第2絶縁膜、第2電導線および第1絶縁膜を順次にエッチングすることにより形成され、このコンタクトホールに形成された第3電導線コンタクトプラグを介して第2電導線と第1導電層とが相互コンタクトされている。従って、このコンタクトホールの形成において、先ず第2絶縁膜のエッチングは第2電導線あるいは第1絶縁膜を露出した時に終了とし、次に第2電導線のエッチングは第1絶縁膜および第2絶縁膜のエッチングに対して高度の選択比を有する条件により行われ第1絶縁膜を露出した時に終了とし、最後に第1絶縁膜を第1導電層に対して高度の選択比を有する条件によりエッチングし第1導電層を露出させることにより形成される。従って、第2電導線を形成する時に第1絶縁膜には第1導電層と連通するコンタクトホールが形成されていないので第2電導線がコンタクト領域と十分にオーバーラップしなくても第1導電層が損傷されない。その結果、コンタクト領域の上部に形成される第2電導線の線幅を最少化することと同時に、第1導電層が損傷されることを防止して半導体素子の集積度を向上することができる。

【0009】ここで、第2絶縁膜はBPSGないしアンダーコートシリケートガラスとBPSGとの二層構造であることが好ましく、第2電導線はポリシリコン層であることが好ましい。また、第3電導層コンタクトプラグは、ポリシリコン層又はタングステン層であることが好ましい。

【0010】本発明の製造方法によれば、上記半導体素子のコンタクトが形成される。特に第3電導層は、ポリシリコン層により形成することが好ましく、選択タングステンにより堆積しコンタクトホールを埋め込むことにより形成することも可能である。

【0011】また、第2電導線マスクがコンタクト領域と完全にオーバーラップしなくても、第2電導線を形成する時に下地基板となる第1絶縁膜にはコンタクトホールが形成されていないので第1導電層を損傷しない。

【0012】さらに、第1導電層は、半導体基板の所定部分に不純物を注入することにより形成することが可能である。

【0013】

【実施例】以下、添付された図面を参照にして半導体素子のコンタクトを説明する。

【0014】第1導電層に第2電導線をコンタクトしながら、半導体素子の集積度を高めるために、コンタクト領域の第2電導線の線幅を第1導電線の線幅よりも小さくしコンタクトの線幅よりは大きくした第2電導線マスク3を第1導電層マスク1とコンタクトマスク2がオーバーラップするように配置した。ここでは各々のマスクにミスマライメントが発生しておらず、正常的に配列され

たものを示す(図2(a)参照)。つぎに、コンタクト領域とオーバーラップする第2電導線の線幅を第1導電層の線幅よりは小さくしてコンタクトの線幅よりは大きく形成した第2電導線マスクを配置しながら、第1導電層マスク1とコンタクトマスク2が配列された所から第2電導線マスクが右側にミスアライメントされたものを示す(図2(b)参照)。ここで周知すべきことはコンタクト領域とオーバーラップする第2電導線の線幅をコンタクトの線幅と同じくできることである。

【0015】コンタクト領域にオーバーラップする第2電導線の線幅を最少化しながら、第2電導線マスク用感光膜パターンがミスアライメント又は寸法精度のばらつきにより、コンタクトホールが完全にオーバーラップしない状態で、従来技術において第2電導線を第1導電層にコンタクトさせたものを図3(a)、(b)に示す。これは図2(b)のI-Iに沿って示した断面図である。

【0016】従来の半導体素子のコンタクトは、半導体基板10の一定の部分に素子分離絶縁膜11を形成し、露出した基板に不純物を注入して第1導電層12を形成し、全体構造の上部に絶縁膜13を形成してから、コンタクトマスクを利用して絶縁膜13の一定部分をエッチングすることにより第1導電層12が露出されたコンタクトホール14を形成し第2電導線15を全体構造の上部に形成することにより終了する。ここで、第2電導線15はビット線に利用でき、ポリシリコン層により形成することもできる(図3(a)参照)。

【0017】次に、第2電導層15をパターン化するために第2電導線マスク用感光膜パターン16を形成し、露出された第2電導層15をエッチングする。ここでミスアライメントあるいは寸法精度のばらつきにより第2電導線マスク用感光膜パターン16がコンタクトホール14を完全にはオーバーラップさせられない場合は、コンタクトホール14内の第2電導層15がエッチングされることになり、ステップ段差(図示せず)などによってオーバーエッチングを実施すると、コンタクトホール14の底部の第1導電層12がエッチングされ、ホーム30が形成されてしまう。これを第2電導線15パターンを形成した断面図として図3(b)に示す。

【0018】上記のように、従来のコンタクトの製造方法によれば、第2電導線マスク用感光膜パターン16がコンタクトホール14を完全にオーバーラップできない場合は、第1導電層12が損傷されてしまうという問題点が発生する。

【0019】次に、本発明の半導体素子のコンタクトおよびその製造方法について説明する。

【0020】図4(a)、図4(b)、図5(c)、図5(d)および図6(e)は本発明の製造方法において、コンタクト領域の第2電導線の線幅を最小化させた場合、第2電導線のマスク用感光膜パターンがミスアライメント又は寸法精度のばらつきによりコンタクトホー

ルを完全にオーバーラップしていない状態のプロセスを説明する断面図であり、これらは図2(b)のI-Iに沿った断面図である。

【0021】まず、半導体基板10の一定の部分に素子分離絶縁膜11を形成し、露出した半導体基板10に不純物を注入してから第1導電層12を形成し、全体構造の上部に第1絶縁膜18を形成し、その上部に第2電導層25を堆積し、第2電導線マスクを利用したパターン工程で第2電導線25'を形成し、第2電導線25'を包んだ全体構造の上部に、例えばBPSG(Boron Phospho-Silicate Glass)あるいはアンドロフトシリケートガラス(Undoped Silicate Glass)とBPSGとの二層構造である第2絶縁膜20を形成する。この断面図として、第2電導線マスク(図示されない)がミスアライメントにより第2電導線25'が第1導電層12と完全にオーバーラップしていない状態を図4(a)に示す。次に、第2絶縁膜20の上部にコンタクトマスク用感光膜パターン21を形成し、コンタクト領域の第2絶縁膜20をエッチングして第2電導層25'の一部と第1絶縁膜18を露出させる。図4(b)は第2電導線25'がミスアライメントしているから、コンタクトマスク用感光膜パターン21のコンタクト領域が第2電導線25と完全にオーバーラップしていないことを示す断面図である。

【0022】次に、コンタクト用感光膜パターン21をマスクにして第2電導線25'の露出部分をエッチングにより形成し、第1絶縁膜18を露出させる。図5(c)はコンタクトホールの形成により露出されない第2電導線25'はエッチングされないことを示す断面図である。

【0023】さらに、第1絶縁膜18の露出部分をエッチングし第1導電層12が露出されたコンタクトホール14を形成した後、コンタクトマスク用感光膜パターン21を除去し、全体構造の上部に第3電導層55、例えば、ポリシリコン層を堆積して露出された第1導電層12にコンタクトさせると同時に第2電導線25'にコンタクトさせる。ここでコンタクトホール14にのみ選択的なタングステン層を堆積し埋め込むことにより第3電導層55を形成し第2電導線25'と第1導電層12とを相互コンタクトさせることができる(図5(d)参照)。

【0024】最後に、第3電導層55を第2絶縁膜20が露出されるまでエッチバックして、コンタクトホール14にのみ上記の第3電導層55を残して、第3電導層コンタクトプラグ55'を形成する。これにより、第1電導線12の損傷なしで第2電導線25'を第3電導層のコンタクトプラグ55'を通して第1導電層12にコンタクトさせることができる(図6(e)参照)。

【0025】図7は、図6(e)まで本発明の製造方法で工程を進行して、図2(b)のII-IIに沿って図

7

示した断面図として、第2電導線25'が長く延長されて形成され、第3電導層コンタクトプラグ55'により第2電導線25'が第1導電層12にコンタクトされることを図示する。

【0026】

【発明の効果】上記の如く本発明によれば下部の第1導電層に第2電導線をコンタクトする時、コンタクト領域の上部に形成される第2電導線の線幅を最小化すると同時に、第1導電層が損傷されることを防止して半導体素子の集積度を向上することができる。

【図面の簡単な説明】

【図1】図1は従来の技術により第1導電層に第2電導線をコンタクトするために、コンタクト領域の第1導電層マスク、コンタクトマスク及び第2電導線マスクの配置を図示したレイアウト図である。

【図2】図2(a)は第1導電層に第2電導線をコンタクトするために第1導電線マスク、コンタクトマスクを配置し、半導体素子の集積度を高めるためにコンタクト領域で第2電導線の線幅を最小化した、第2電導線マスクを配置したレイアウト図であり、図2(b)は第1導電層マスク、コンタクトマスクを配置しコンタクト領域で第2電導線の線幅を最小化させた場合に第2電導線マ

8

スクがミスマライメントしているレイアウト図である。

【図3】図3(a)および図3(b)は従来の製造方法に従ってコンタクトを製造する工程により図2(b)のI-Iに沿った断面図。

【図4】図4(a)および図4(b)は本発明の製造方法において、図2(b)のI-Iに沿った断面図。

【図5】図5(a)および図5(b)は本発明の製造方法において、図2(b)のI-Iに沿った断面図。

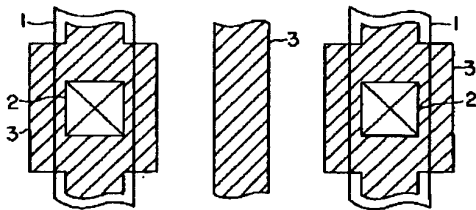
【図6】図6(e)は本発明の製造方法において、図2(b)のI-Iに沿った断面図。

【図7】図7は本発明により製造されたコンタクトを図示しながら、図2(b)のII-IIに沿った断面図。

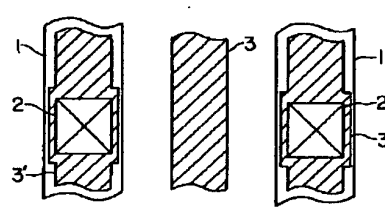
【符号の説明】

1…第1導電層マスク、2…コンタクトマスク、3…第2電導線マスク、10…半導体基板、11…素子分離絶縁膜、12…第1導電層、13…絶縁膜、14…コンタクトホール、15、25…第2電導層、15'、25'…第2電導線、16…第2電導線マスク用感光膜パターン、18…第1絶縁層、20…第2絶縁膜、21…コンタクトマスク用感光膜パターン、30…ホーム、55…第3電導層、55'…第3電導層コンタクトプラグ。

【図1】

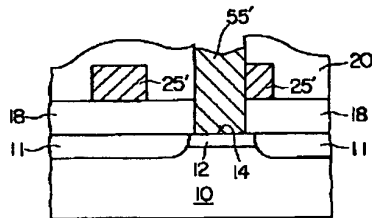


【図2】

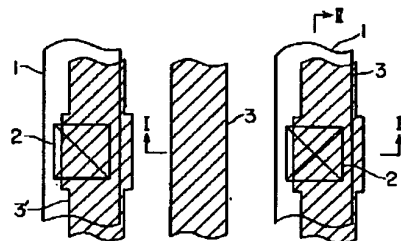


(a)

【図6】

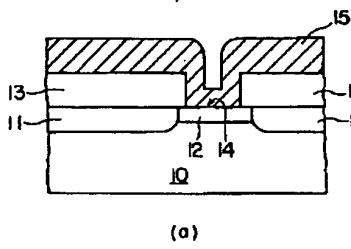


(e)



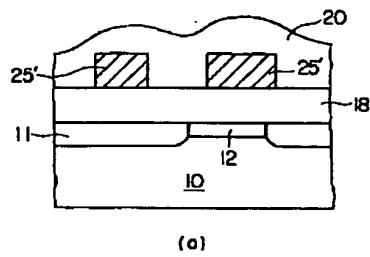
(b)

【図3】



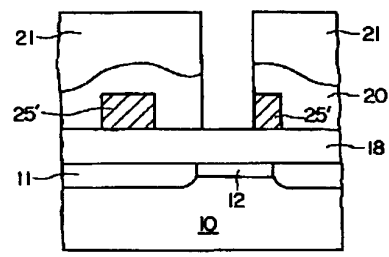
(a)

【図4】

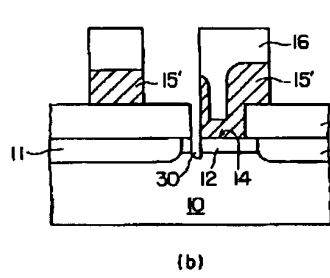


(a)

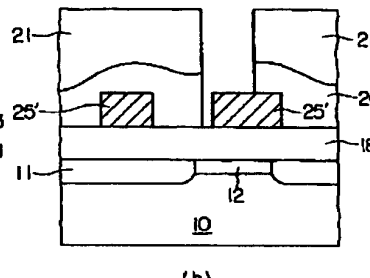
【図5】



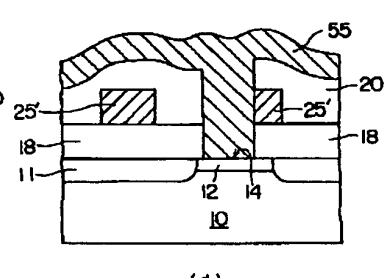
(c)



(b)



(b)



(d)

【図7】

